



Parte A. DATOS PERSONALES

Fecha del CVA 23/01/2019

Nombre y apellidos	FRANCISCO J GAMIZ PEREZ		
DNI/NIE/pasaporte		Edad	50
Núm. identificación del investigador	Researcher ID	F-4575-2010	
	Código Orcid	0000-0002-5072-7924	

A.1. Situación profesional actual

Organismo	Universidad de Granada		
Dpto./Centro	Electrónica y Tecnología de Computadores		
Dirección	Granada, Andalucía, España		
Teléfono	Correo electrónico	fgamiz@ugr.es	
Categoría profesional	Catedrático de Universidad	Fecha inicio	2005
Espec. cód. UNESCO	Física Electrónica, Ing.Tecnología Electrónica, Tecnología de materiales		
Palabras clave	Nanoelectrónica, Semiconductores, Física Estado Sólido, Biosensores, Simulación		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Licenciado Ciencias Físicas	Granada	1991
Doctor en Ciencias Físicas		1994

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Numero de sexenios: 4 (último 2010-2015)

Tesis doctorales dirigidas en los últimos 10 años: 7

Citas totales: 4609

Promedio citas/año (2013-2017): 335

Publicaciones totales en Q1: 120

Indice h: 28 (WoS), 30 (Scopus), 35(Google Scholar)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Francisco Gamiz se licenció en Físicas (Premio Extraordinario y Premio Nacional del MEC) en 1991 en la UGR y obtuvo el título de Doctor (Premio Extraordinario) en 1994. En 1991, inició su trabajo de simulación de dispositivos semiconductores por el método de Monte Carlo. En 1999 realizó una estancia en el TJ Watson Research Center de IBM (USA) con el Dr. Fischetti. En los años 2000 y 2002 coordinó dos acciones integradas MEC con los Prof. Selberherr y Kosina de TUWien. Para incorporar en las simulaciones los efectos de la cuantización, se desarrollaron nuevas técnicas Multi-Subband Ensemble Monte Carlo en colaboración con el Prof. Asenov de Glasgow. En el año 2003 participó en el proyecto Europeo FET del FP5 EXTRA junto con VTT (Finlandia), y las Universidades de Tokyo y Wuppertal. En el año 2000 se inicia una línea de investigación centrada en el estudio de dispositivos SOI. En el año 2004, dentro del FP6 se coordina el proyecto europeo EUROSOI. Producto del citado proyecto han sido las conferencias EUROSOI que desde 2005 y hasta la actualidad ha sido el foro de discusión de la tecnología SOI en Europa. El Prof. Gamiz es presidente del Steering Committee. También en 2004 y dentro del FP6 se participó en el proyecto Network of Excellence SINANO, precursor del actual SINANO Institute que reúne a los más importantes actores de la Nanoelectrónica Europea. En FP7, el prof. Gámiz coordina EUROSOI+, cuyo objetivo es la formación de jóvenes investigadores en la tecnología SOI, así como la de hacer accesible ésta a grupos universitarios y pequeñas empresas a través de proyectos MPW (multiproject wafers). En el año 2011 CEA-LETI y STMicroelectronics lanzan una oferta de MPW en la tecnología FDSOI de 28nm gracias a la mediación del proyecto EUROSOI+. En FP7 se participa también en el proyecto NANOSIL. En el año 2006, decide iniciar una línea experimental en la caracterización avanzada de dispositivos. Se firma un acuerdo de co-tutela con el Prof. Cristoloveanu en MINATEC mediante el cual alumnos de doctorado realizan largas estancias de formación en Grenoble. Se solicitan a continuación cuatro proyectos de infraestructura del MEC consiguiéndose una



CURRÍCULUM ABREVIADO (CVA) – Extensión máxima: 4 PÁGINAS
Lea detenidamente las instrucciones disponibles en la web de la convocatoria

financiación superior a 4.5M€, con la que se ha instalado desde el año 2010 el Laboratorio de Nanoelectrónica, Grafeno y Materiales bidimensionales dentro del Centro de Investigación en TICs, y que es uno de los laboratorios de caracterización electrónica más avanzados de Europa. En 2010 se firman acuerdos de colaboración con SOITEC, IMEC, CEA-LETI, Tokyo Institute of Technology, IMEP-MINATEC, Glasgow University, GlobalFoundries, o GSS(UK). Se ha participado en proyectos industriales europeos de los programas CATRENE, o ECSEL: REACHING-22, PLACES2BE, WAYTOGO-FAST. En 2008 funda el grupo de investigación en Nanoelectrónica del que es investigador responsable. La combinación en un mismo grupo de técnicas avanzadas de caracterización y técnicas de simulación, ha permitido desarrollar otras líneas de gran interés e impacto social. La primera es el diseño de celdas de memoria. Se han presentado 18 patentes internacionales: USA, Japón, Korea, y la Unión Europea. En esta línea coordina el proyecto europeo REMINDER desde enero de 2016 con un presupuesto de 4.5M€ y en el que participan 9 socios de Europa y Korea. En la segunda línea dedicada al desarrollo de sistemas biosensores destacan los proyectos para la detección del virus del papiloma humano, y el conteo de neutrófilos para pacientes con cáncer. En 2018 se firma un contrato de investigación con el Prof. Yong Tae Kim del Korea Institute of Science and Technology, y un acuerdo marco de investigación con National Chiao Tung University (NCTU) de Taiwan.

Parte C. MÉRITOS MÁS RELEVANTES (ordenados por tipología)

C.1. Publicaciones

- 1.- Publicación en Revista. Medina-Bailon,C., Padilla,J.L., Sampedro,C., Godoy,A., Donetti,L., and Gamiz,F., "Source-to-Drain Tunneling Analysis in FDSOI, DGSOI, and FinFET Devices by Means of Multisubband Ensemble Monte Carlo," in IEEE Transactions on Electron Devices, vol. 65, no. 11, pp. 4740-4746, Nov. 2018.
- 2.- Publicación en Revista. Padilla,J.L., Medina-Bailón,C., Márquez,C., Sampedro,C., Donetti,L., Gámiz,F., and Ionescu,A.M., "Gate Leakage Tunneling Impact on the InAs/GaSb Heterojunction Electron–Hole Bilayer Tunneling Field-Effect Transistor," in IEEE Transactions on Electron Devices, vol. 65, no. 10, pp. 4679-4686, Oct. 2018.
- 3.- Publicación en Revista. Navarro,C., Navarro,S., Marquez,C., Donetti,L., Sampedro,C., Karg,S., Riel, H., and Gamiz,F., "InGaAs Capacitor-Less DRAM Cells TCAD Demonstration," in IEEE Journal of the Electron Devices Society, vol. 6, pp. 884-892, 2018. doi: 10.1109/JEDS.2018.2859233.
- 4.- Publicación en Revista. Medina-Bailón, C.; Padilla-De La Torre, J.L.; Sampedro, C.; Alper,C.; Gamiz,F.; Ionescu, Adrian Mihai. 2017. Implementation of Band-to-Band Tunneling Phenomena in Multi-Subband-Ensemble Monte Carlo simulator: Application to Silicon TFETs. IEEE Transactions on Electron Devices.
- 5.- Publicación en Revista. Padilla-De La Torre, J.L.; Palomares-Bautista, A.; Cem, Alper; Gamiz-Perez, F.; Ionescu, M. A. 2016. Band-to-band tunneling distance analysis in the heterogate electron-hole bilayer tunnel field-effect transistor. Journal of Applied Physics. American Institute of Physics. 119: 045705-1-045705-5.
- 6.- Publicación en Revista. Márquez, C.; Rodríguez, N.; Gamiz, F; Ruiz, R; Ohata, A. 2016. Electrical characterization of Random Telegraph Noise in Fully-Depleted Silicon-On-Insulator MOSFETs under extended temperature range and back-bias operation. Solid-State Electronics. 117: 60-65.
- 7.- Publicación en Revista. Medina, C.; Sampedro, C.; Gamiz, F; Godoy, A.; Donetti, L. 2016. Impact of non uniform strain configuration on transport properties for FD14+ devices. Solid-State Electronics. 115: 232-236.
- 8.- Publicación en Revista. Padilla-De La Torre, J.L.; Palomares-Bautista, A.; Gamiz, F.. 2016. Comment on "Optimization of a Pocketed Dual-Metal-Gate TFET by Means of TCAD Simulations Accounting for Quantization-Induced Bandgap Widening". IEEE Transactions on Electron Devices. 63: 5077-5078.
- 9.- Publicación en Revista. Padilla-De La Torre, J.L.; Gamiz, F. 2016. Switching Behavior Constraint in the Heterogate Electron-Hole Bilayer Tunnel FET: the Combined Interplay Between Quantum Confinement Effects and Asymmetric Configurations. IEEE Transactions on Electron Devices. 63: 2570-2576.
- 10.- Publicación en Revista. Padilla-De La Torre, J.L.; Gamiz,F. 2016. Quantum Mechanical Confinement in the Fin Electron-Hole Bilayer Tunnel Field-Effect Transistor. IEEE Transactions on Electron Devices. 63: 3320-3326.



C.2. Proyectos

1 Nombre del proyecto: FABRICACION, CARACTERIZACION Y MODELADO DE DISPOSITIVOS ELECTRONICOS BASADOS EN MATERIALES BIDIMENSIONALES MULTICAPA.

Nombre del programa: Ministerio de Economía y Competitividad. Programa Retos. Plan Nacional.

Cód. según financiadora: TEC2017-89800-R

Fecha de inicio: 01/01/2018 Duración: 1095 días

Cuantía total: 175.450€

2 Nombre del proyecto: Revolutionary Embedded Memory for Internet of Things Devices and Energy Reduction

Ámbito geográfico: EUROPEO

Entidad/es financiadora/s: Comisión Europea

Cód. según financiadora: H2020-687931

Fecha de inicio: 01/01/2016 Duración: 1095 días

Cuantía total: 4.543.793,75 €

3 Nombre del proyecto: Which Architecture Yields Two Other Generations Of Fully depleted Advanced Substrate & Technologies (WAYTOGO FAST)

Ámbito geográfico: EUROPEO

Nombres investigadores principales (IP, Co-IP,...): FRANCISCO J GAMIZ PEREZ

Entidad/es financiadora/s: Comisión Europea

Cód. según financiadora: H2020-ECSEL-2014-2-662175

Fecha de inicio: 01/05/2015 Duración: 730 días

Cuantía total: 120.000 €

4 Nombre del proyecto: El transistor pseudo-MOSFET como plataforma CMOS para la detección de -agentes patógenos. Aplicación a la detección precoz del virus del papiloma humano (VPH)

Nombres investigadores principales (IP, Co-IP,...): FRANCISCO J GAMIZ PEREZ

Nombre del programa: Proyectos de Investigación de Excelencia de la Junta de Andalucía

Cód. según financiadora: P12-TIC-1996

Fecha de inicio: 01/01/2015 Duración: 1096 días

5 Nombre del proyecto: OPTIMIZACION DE LA CELDA DE MEMORIA A2RAM PARA LOS PROXIMOS NODOS TECNOLOGICOS.

Nombres investigadores principales (IP, Co-IP,...): FRANCISCO J GAMIZ PEREZ

Entidad/es financiadora/s: Ministerio de Economía y Competitividad

Cód. según financiadora: TEC2014-59730

Fecha de inicio: 01/01/2015 Duración: 1095 días

Cuantía total: 257.125 €

6 Nombre del proyecto: FAMILIA A-RAM: EN BUSCA DE LA CELDA DE MEMORIA UNIVERSAL

Nombres investigadores principales (IP, Co-IP,...): FRANCISCO J GAMIZ PEREZ

Entidad/es financiadora/s: Ministerio de Ciencia e Innovación

Fecha de inicio: 01/01/2012 Duración: 1095 días

Cuantía total: 148.530 €

7 Nombre del proyecto: EUROPEAN PLATFORM FOR LOW-POWER APPLICATIONS ON SILICON-ON-INSULATOR TECHNOLOGY

Nombres investigadores principales (IP, Co-IP,...): FRANCISCO J GAMIZ PEREZ

Nombre del programa: VII PROGRAMA MARCO DE LA UNIÓN EUROPEA

Fecha de inicio: 01/01/2008 Duración: 1184 días - 23 horas

Cuantía total: 800.000 €

C.3. Contratos, méritos tecnológicos o de transferencia

1.- Estudio prospectivo de displays electroforéticos. Torre-Vega, Angel De La (Universidad de Granada). 2015-2016. 6050 €.

2.- Development of capacitorles 1T DRAM. Gamiz, Francisco.(Korea Institute of Science and Technology) 2018. 22968 €



CURRÍCULUM ABREVIADO (CVA) – Extensión máxima: 4 PÁGINAS

Lea detenidamente las instrucciones disponibles en la web de la convocatoria

C.4. Patentes

1. Título: Point mémoire RAM à un transistor

Tipo: Patente de invención, Propiedad industrial

Número de patente: FR2011-58942 / WO2013-50707

Fecha de concesión: 04/10/11

Países de prioridad: USA, Korea, Japón, Unión Europea

Autores: Rodríguez-Santiago, Noel; Gamiz-Perez, Francisco J; Cristolovenau, Sorin

2. Título: A2-RAM: CAPACITORLESS MEMORY DEVICE WITH JUNCTION-SEPARATED DOUBLE BODY TRANSISTOR

Tipo: Patente de invención, Propiedad industrial

Número de patente: FR1052612/ US2013-148441

Fecha de concesión: 07/10/10

Países de prioridad: USA, Korea, Japón, Unión Europea

Autores: Rodríguez-Santiago, Noel; Cristoloveanu-, Sorin; Gamiz-Perez, Francisco J

3. Título: POINT MÉMOIRE RAM À UN TRANSISTOR

Tipo: Patente de invención, Propiedad industrial

Número de patente: FR0952452/ US2012-113730

Fecha de concesión: 15/04/09

Países de prioridad: USA, Korea, Japón, Unión Europea

Autores: Rodríguez-Santiago, Noel; Cristoloveanu-, Sorin; Gamiz-Perez, Francisco J

C.5 Experiencia en Gestión I+D

1. Censor referee de las revistas del SCI:

-IEEE Transactions on Electron Devices; IEEE Electron Device Letters; Solid State Electronics; AIP Journal of Applied Physics, AIP Applied Physics Letters, Elsevier Microelectronics Engineering, Journal of Low-Power Electronics

2. Evaluador de las agencias de financiación: European Science Foundation, Swiss National Science Agency, ANEP (España), MICINN (España), MINECO(España), Technology Foundation STW (Holanda), Agency for Science, Technology and Research of Singapore.

3. Director del Laboratorio Singular de Nanoelectrónica de la Universidad de Granada (2008-2014).

4. Miembro del Governing Board del SINANO Institute (European Institute for Nanoelectronics).

C.6 Experiencia en organización de eventos I+D

1. Miembro del comité técnico de programa (TPC) del ESSDERC (European Solid-State Device Research Conference) (2004-2012)

2. Presidente del Steering Committee del EUROSIOI workshop (2005-2014)

3. Presidente del Comité Organizador del ESSDERC-2010 (Sevilla, Septiembre, 2010)

4. Presidente del Comité Organizador del EUROSIOI-2005 (Granada, Enero-2005) y EUROSIOI-2011 (Granada, Enero 2011)

5. Miembro del Steering Committee del Silicon-on-Insulator Symposium de la Electrochemical Society (USA) (2001-2015)

6. Miembro del TPC del INFOS (2013-2017)

7. Miembro del TPC del International Symposium on VLSI Technology, Systems and Applications (Taiwan) (2011-2017)

C.7. Premios

1.- Descripción: Premio del Consejo Social de la Universidad de Granada

Fecha de concesión: 22/12/2011

Reconocimientos ligados: Premio del Consejo Social de la Universidad de Granada a los Grupos de Investigación de la Universidad de Granada que se distinguen en contratar investigación

2.- Descripción: Premio del Consejo Social de la Universidad de Granada a la trayectoria de jóvenes investigadores-2003

Entidad que concede: CONSEJO SOCIAL UNIVERSIDAD DE GRANADA

3.- Descripción: Premio "Universidad de Granada –Caja Rural de Granada a Investigadores con alta I+D+i" Edición 2016