

EVALUACIÓN DE PRESTACIONES EN PROCESADORES Y CIRCUITOS CONFIGURABLES

| MÓDULO MATERIA | CURSO | SEMESTRE | CRÉDITOS | TIPO |
|--|---|----------|----------|----------|
| Módulo 4: Sistemas integrados | 1º | 2º | 2 | Optativa |
| PROFESOR(ES) | DIRECCIÓN COMPLETA DE CONTACTO PARA TUTORÍAS (Dirección postal, teléfono, correo electrónico, etc.) | | | |
| Domingo Benítez Díaz (Univ. Las Palmas de Gran Canaria) | Campus Universitario de Tafira Edificio de Informática y Matemáticas 35017 Las Palmas de Gran Canaria Phone: +34.928.454.566 Fax: +34.928.458711 E-mail: dbenitez@dis.ulpgc.es Skype: d.benitez.d http://www2.dis.ulpgc.es/~dbenitez/ Más información: en plataforma docente SWAD | | | |
| | HORARIO DE TUTORÍAS Se puede consultar en la plataforma docente https://swad.ugr.es/?CrsCod=2180 en Usuarios-Horario de tutorías (requiere iniciar sesión) | | | |
| MÁSTER EN EL QUE SE IMPARTE | OTROS MÁSTERES A LOS QUE SE PODRÍA OFERTAR | | | |
| Máster Universitario Oficial en Ingeniería de Computadores y Redes | Máster Oficial en Desarrollo de Software Máster en Soft Computing y Sistemas Inteligentes | | | |
| PRERREQUISITOS Y/O RECOMENDACIONES (si procede) | | | | |
| | | | | |
| BREVE DESCRIPCIÓN DE CONTENIDOS (SEGÚN MEMORIA DE VERIFICACIÓN DEL MÁSTER) | | | | |
| Tema 1: Circuitos Reconfigurables Tema 2: Arquitecturas de Procesadores Re-Configurables y sus Metodologías de Diseño Tema 3: Sistemas SoC Empotrados Reconfigurables basados en Multiprocesadores | | | | |



COMPETENCIAS GENERALES Y ESPECÍFICAS

Competencias básicas (CB) y generales (CG) se refieren a proporcionar, en los ámbitos propios de la Ingeniería de Computadores y Redes, la capacidad de aplicar los conocimientos adquiridos para la resolución de problemas, de integrar conocimientos y formular juicios teniendo en cuenta las responsabilidades sociales y éticas derivadas de su actividad, de comunicar de forma clara y precisa sus conclusiones, y de aprender de forma continuada, autodirigida y autónoma.

Adicionalmente, se propone alcanzar las siguientes capacidades específicas:

- Capacidad para evaluar procesadores y sistemas reconfigurables utilizando las herramientas correspondientes a las distintas metodologías de diseño, e identificar los aspectos de la microarquitectura que determinan sus prestaciones en distintos ámbitos de aplicación.
- Capacidad para evaluar las prestaciones que varios sistemas reales reconfigurables permiten alcanzar.
- Capacidad para iniciar la realización de estudios científicos cuya experimentación se fundamente en la caracterización prestacional de un sistema reconfigurable basado en procesador de repertorio de instrucciones y coprocesador de tipo FPGA.

OBJETIVOS (EXPRESADOS COMO RESULTADOS ESPERABLES DE LA ENSEÑANZA)

- Conocer las arquitecturas de los procesadores re-configurables que se integran en sistemas SOC (System-On-Chip), tanto en circuitos ASIC (Application Specific Integrated Circuit) como reconfigurables.
- Conocer la metodología de evaluación de prestaciones de los procesadores re-configurables.
- Conocer sistemas SOC reales que incluyan procesadores y circuitos reconfigurables.
- Realizar ejercicios prácticos de simulación en los que se realice la validación del correcto funcionamiento de procesadores configurables.

Los resultados de aprendizaje previstos son los siguientes:

- (APO) Resultados relacionados con las competencias generales (CG): habilidades de resolución de problemas, de discusión, de comunicación oral y escrita, etc.
- (AP1) Identificar y aplicar las distintas medidas de prestaciones que permiten evaluar las arquitecturas configurables.
- (AP2) Justificar los requisitos de prestaciones los sistemas de E/S Paralelos/Distribuidos a partir de las prestaciones que previsiblemente demandarán las aplicaciones futuras.
- (AP3) Ampliar la perspectiva que el estudiante tiene de las actividades de investigación en arquitectura y tecnología de computadores, con información de la actividad realizada por grupos de investigación de otras universidades dado que se trata de un curso impartido por profesores externos al Departamento de Arquitectura y Tecnología de Computadores de la Universidad de Granada.

TEMARIO DETALLADO DE LA ASIGNATURA

Este curso se centra en los Procesadores Re-Configurables y sus Tecnologías, los cuales se integran en sistemas empotrados que se especializan para una aplicación determinada: periféricos en general (cámaras, impresoras, etc.), automoción, telefonía, etc. Más concretamente, el curso se orienta hacia el análisis de sus prestaciones. Adicionalmente, se describen distintas tecnologías de implementación, metodologías de diseño, y técnicas de evaluación de prestaciones y consumo energético.

Los Procesadores Configurables son los que se configuran antes de implementarlos definitivamente en un chip,



después de lo cual no se pueden modificar. Y los Procesadores Reconfigurables son los que pueden cambiar su arquitectura después de haber fabricado el chip, los cuales normalmente se implementan en circuitos configurables como las FPGAs. La especialización del hardware puede ser de grano fino, a nivel de la unidad funcional que permite implementar nuevas instrucciones especializadas, o de grano grueso, a través de un coprocesador acoplado al procesador.

El curso empieza describiendo la tecnología de los circuitos re-configurables y proporcionando una taxonomía de arquitecturas de sistemas reconfigurables de cómputo. Seguidamente, se profundiza en la microarquitectura de los procesadores re-configurables, y en las correspondientes metodologías utilizadas en su diseño. A continuación, se describen los sistemas multiprocesadores de cómputo que integran elementos reconfigurables. El siguiente tema describe cómo se evalúan las prestaciones de los sistemas descritos en los temas anteriores. Y por último, se describe un estudio prestacional de un sistema reconfigurable basado en procesador ISA y coprocesador de tipo FPGA.

Se realizan varias prácticas que consisten en la configuración, simulación, y evaluación de prestaciones de varios procesadores configurables Xtensa.

Temario de Teoría Detallado:

Tema 1: Circuitos Reconfigurables

- Impacto de la Tecnología Electrónica
- Máximas Prestaciones en Microprocesadores
- Concepto de SoC
- Taxonomía de las Arquitecturas Reconfigurables
- Circuitos Reconfigurables
- Áreas de Aplicación
- Evaluación de Prestaciones

Tema 2: Arquitecturas de Procesadores Re-Configurables y sus Metodologías de Diseño

- Metodologías de diseño para procesadores en SoC
- Ineficiencias al utilizar procesadores de propósito general
- Técnicas de aumento de prestaciones en procesadores empotrados
- Procesadores Configurables
- Procesadores en Dispositivos Reconfigurables
 - Procesadores hardware
 - Procesadores software
- Evaluación de Prestaciones

Tema 3: Sistemas SoC Empotrados Reconfigurables basados en Multiprocesadores

- Sistemas SoC Multiprocesadores
 - Arquitecturas paralelas en SoCs
 - Multiprocesadores software
 - Evaluación de prestaciones
- Computación de Altas Prestaciones
 - Microarquitecturas de los aceleradores reconfigurables
 - Evaluación de prestaciones



Escalabilidad de las prestaciones de las arquitecturas reconfigurables

Temario de Prácticas Resumido:

Práctica 1. Utilización de las herramientas software de Tensilica para: compilar, ejecutar, instrumentalizar, y modificar la arquitectura de un procesador configurable Xtensa (1 hora).

Práctica 2. Generación de configuraciones TIE (1 hora).

Práctica 3. Generación de configuraciones TIE y exploración de técnicas de optimización: fusión de instrucciones, instrucciones VLIW, instrucciones SIMD (1 hora).

BIBLIOGRAFÍA

1. D. Benitez; Performance of Reconfigurable Architectures for Image-Processing Applications; Journal of Systems Architecture, 49 (2003) 193-210.
2. T.J. Callahan, J.R. Kouser and J. Wawrzynek, The Garp Architecture and C Compiler, IEEE Computer, 33 (2000) 62-69.
3. Y. Chou, P. Pillai, H. Schmit and J.P. Shen, PipeRench Implementation of the Instruction Path Coprocessor, in: Proc. Int. Symp. Microarchitecture (2000) 147-158.
4. K. Compton and S. Hauck, Reconfigurable Computing: A survey of Systems and Software, ACM Computing Surveys, 34 (2002) 171-210.
5. J. A. Fisher, P. Faraboschi, C. Young; Embedded Computing: A VLIW Approach to Architecture, Compilers and Tools; Morgan Kaufman, 2004.
6. S.C. Goldstein, H. Schmit, M. Budiu, S. Cadambi, M. Moe and R.R. Taylor, PipeRench: A Reconfigurable Architecture and Compiler, IEEE Computer, 33 (2000) 70-77.
7. Paolo lenne, Rainer Leupers (Eds); Customizable Embedded Processors; Elsevier, 2006.
8. Steve Leibson; Designing SOCs with Configured Cores. Unleashing the Tensilica Xtensa and Diamond Cores; Elsevier, 2006.
9. H. Singh, M. Lee, G. Lu, F.J. Kurdahi, N. Bagherzadeh and E.M. Chaves Filho, MorphoSys: An Integrated Reconfigurable System for Data-Parallel and Computation-Intensive Applications, IEEE Transactions on Computers, 49 (2000) 465-481.
10. J. Villasenor and B. Hutchings, The Flexibility of Configurable Computing, IEEE Signal Processing Magazine, 15 (1998) 67-84.
11. S. Vassiliadis, S.Wong and S. Cotofana, The MOLEN $f\acute{Y}$ -coded processor, in: Proc. FPL 2001, Lecture Notes in Computer Science, Vol. 2147 (Springer-Verlag Heidelberg, 2001) 275-285.
12. Z.A. Ye, A. Moshovos, S. Hauck and P. Banerjee, CHIMAERA: A high-performance architecture with tightly-coupled reconfigurable functional unit, in: Proc. ISCA'02, ACM SIGARCH Computer Architecture News, 28 (2000) 225-235.

ENLACES RECOMENDADOS

- <http://www.tensilica.com>



METODOLOGÍA DOCENTE

La materia del curso pertenece al campo de estudio de una ingeniería, que integra, teoría, diseño, y experimentación. Por tanto, se insistirá especialmente en las técnicas y herramientas (tanto las más actuales como aquellas cuya aplicabilidad persista en el tiempo), y en el desarrollo de la capacidad para abordar problemas nuevos por parte del alumno, aportando soluciones conocidas o generando nuevas alternativas. Teniendo esto en cuenta, el tipo de clases que se utilizan son las de tipo seminario, tutorías, y de prácticas basadas en la descripción de problemas del ámbito de las arquitecturas de computadores re-configurables, y el análisis de las distintas estrategias que puedan plantearse para su resolución.

La distribución en horas de las clases es la siguiente:

Clases de Teoría (orientadas a los resultados de aprendizaje APO, AP1 y AP3): 8 horas

Trabajo práctico reglado (orientado a los resultados de aprendizaje APO y AP2): 12 horas

Se utilizará el sistema web de ayuda a la docencia SWAD (<https://swad.ugr.es>).

EVALUACIÓN (INSTRUMENTOS DE EVALUACIÓN, CRITERIOS DE EVALUACIÓN Y PORCENTAJE SOBRE LA CALIFICACIÓN FINAL, ETC.)

La calificación final que aparecerá en el Acta será un número comprendido entre 0 y 10 con una precisión de un dígito decimal. En función de la convocatoria (ordinaria o extraordinaria), y del tipo de evaluación escogida, la calificación se obtendrá como se detalla a continuación:

Convocatoria ordinaria:

La metodología de evaluación por defecto según la normativa de la Universidad de Granada es la **evaluación continua**, que en el caso de esta asignatura se compone de las siguientes actividades:

- Participación activa de los estudiantes en las clases (seminarios de teoría y prácticas). (2 puntos)
- Realización de trabajos de índole práctica que aborden problemas relacionados con la evaluación de prestaciones de procesadores configurables en aplicaciones diversas (evaluación de los resultados de aprendizaje AP1, AP2 y AP3). (8 puntos).

Alternativamente a la evaluación continua, para la convocatoria ordinaria el estudiante puede optar por la evaluación única final. Para acogerse a la **evaluación única final**, el estudiante, en las dos primeras semanas de impartición de la asignatura, lo solicitará al Coordinador del Máster, quien dará traslado al profesorado correspondiente, alegando y acreditando las razones que le asisten para no poder seguir el sistema de evaluación continua. La evaluación única final consistirá en la evaluación de las siguientes actividades formativas:

- Realización de trabajos de índole práctica que aborden problemas relacionados con la evaluación de prestaciones de procesadores configurables en aplicaciones diversas (evaluación de los resultados de aprendizaje AP1, AP2 y AP3). (10 puntos).

Convocatoria extraordinaria:

En las convocatorias extraordinarias se utilizará el sistema de evaluación única final, tal y como se ha descrito más arriba.

Todo lo relativo a la evaluación se registrará por la normativa sobre evaluación y calificación de los estudiantes de la Universidad de Granada (Boletín Oficial de la Universidad de Granada nº 71. 27 de mayo de 2013). El sistema de calificaciones se expresará mediante calificación numérica de acuerdo con lo establecido en el art. 5 del R. D 1125/2003, de 5 de septiembre, por el que se establece el sistema europeo de créditos y el sistema de calificaciones en las titulaciones universitarias de carácter oficial y validez en el territorio nacional.



INFORMACIÓN ADICIONAL

Página web oficial del Máster: <http://masteres.ugr.es/master-icr/>

Para facilitar el intercambio de información con los alumnos se utilizará el sistema web de ayuda a la docencia SWAD (<https://swad.ugr.es>).

